

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified here

申請日：西元 2002 年 01 月 16 日
Application Date

申請案號：091100554
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2002 年 7 月 19 日
Issue Date

發文字號：091110126
Serial No.

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	積體電路封裝及其製程
	英 文	
二、發明 創作人	姓 名	1 陳國祚 2 宮振越
	國 籍	中華民國
	住、居所	1 新竹市食品路 51 巷 12 號 5 樓 2 桃園縣大園鄉橫峰村中山南路一段 45 號
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

四、中文發明摘要（發明之名稱： 積體電路封裝及其製程）

一種積體電路（Integrated Circuit，IC）封裝及其製程，其特徵在於將晶片貼附於基板之表面，或者貼附於一凹陷於基板表面之凹穴的底部，並暴露出晶片之主動表面，且形成至少一增層電路層（Build-Up Circuit）於基板之上，其具有至少一絕緣層、至少一圖案化線路層及多個填充有導電材料之貫孔，使晶片之主動表面上的鐳墊可經由貫孔與圖案化線路層相電性連接。當應用於球格陣列式（Ball Grid Array，BGA）封裝時，更可將多個鐳球分別配置於圖案化線路層之多個鐳球墊上，使得晶片可依序透過增層電路層之線路層及鐳球，而與外界相電性連接。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明 (/)

本發明是有關於一種積體電路 (Integrated Circuit , IC) 封裝及其製程 , 且特別是有關於一種以增層電路 (Build-Up Circuit) 取代習知之基板 (Substrate) 的積體電路封裝及其製程。

近年來 , 隨著電子技術的日新月異 , 高科技電子產業的相繼問世 , 使得更人性化、功能更佳的電子產品不斷地推陳出新。然而各種產品無不朝向輕、薄、短、小的趨勢設計 , 以提供更便利的使用。電子產品的製造一直到完成 , 積體電路 (IC) 封裝扮演著相當重要的角色 , 而積體電路 (IC) 封裝的型態有多種 , 比如是雙邊引腳封裝 (Dual In-line Package , DIP) 的形式、球格陣列 (Ball Grid Array , BGA) 的封裝形式、貼帶自動接合 (Tape Automatic Bonding) 封裝形式等 , 每種封裝形式均具有其特殊性。

球格陣列式 (Ball Grid Array , BGA) 封裝係利用錐球 (Solder Ball) 佈滿整個基板 (Substrate) 之底面積的方式 , 來取代傳統的金屬導線架 (Lead frame) 的引腳。其係以打線 (Wire Bonding) 或覆晶 (Flip Chip) 的方式 , 將晶片的接點連接至基板上的接點 , 並利用基板之內部繞線將接點分散至基板表面 , 再通過導孔 (via) 連接到基板底面 , 最後將錐球分別植接 (Planting) 基板底面之接點。由於球格陣列式封裝係可利用整個基板的底面積作為接點的佈置 , 故具有高腳數 (High Pin Count) 的優勢。此外 , 在迴錐 (Reflow) 作業時 , 錐球熔解後的表面張力可產生自我校準 (Self Alignment) 的現象 , 故錐球之對位精度要

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(二)

求不高，再加上接合強度好、優良的電氣特性，使得球格陣列式封裝成為目前積體電路(IC)封裝的主流之一。

請參考第 1 圖，其為習知之一種球格陣列式封裝的剖面圖。球格陣列式封裝 100 係將晶片 200 之背面貼附於基板 110 之上，並以打線(Wire Bonding)方式所形成之導線 120，使得晶片 200 之鐳墊(die pad) 202 與基板 110 之接點 112 相電性連接，接著以封裝材料 130 包覆晶片 200、導線 120 及接點 112，再分別將鐳球(solder ball) 140 植接於基板 110 之鐳球墊 114 上，使得晶片 200 可依序透過導線 120、基板 110 之內部線路 116 及鐳球 140，而與外界電路相電性連接。

另請參考第 2 圖，其為習知之另一種球格陣列式封裝的剖面圖。與第 1 圖不同的是，球格陣列式封裝 101 係利用覆晶(Flip Chip, F/C)的方式，先分別在晶片 200 之鐳墊 202 上形成凸塊(bump) 204，並以凸塊 204 直接接合於基板 110 之接點 112，使得晶片 200 可依序透過凸塊 204、基板 110 之內部線路 116 及鐳球 140，而與外界電路相電性連接。

然而，習知之球格陣列式封裝中，若利用導線(wire)來連接晶片之鐳墊至基板之接點，由於導線之電性阻抗(impedance)較高，將造成訊號的時間延遲(time delay of signals)而降低晶片的性能(performance)。此外，若以覆晶的方式來連接晶片之鐳墊至基板之接點，則必須額外在晶片之鐳墊上形成凸塊，並與基板之接點精確對位後相

五、發明說明(3)

接合，如此將增加製程步驟，而提高製造成本。

另外，在球格陣列式封裝中，由於欲封裝之晶片均屬於高腳數之晶片，因此無論是利用打線的方式，或是以覆晶的方式來電性連接晶片鉑墊與基板之接點，均須使用具有微間距（Fine Pitch）接點的基板，才能符合高腳數晶片的要求。傳統印刷電路板（Printed Circuit Board，PCB）之線寬（trace width）約為 100 微米，而接點與接點之間距（pitch）約為 800~1200 微米之間，然而，球格陣列式封裝所使用之微間距接點的基板，其線寬約為 30 微米，而鉑墊與鉑墊之間距約為 150 微米。因此與傳統印刷電路板相較之下，此類微間距接點的基板製造成本較高，約略佔球格陣列式封裝製造成本的至少二成以上，而適用於覆晶的封裝基板其製造成本則更加昂貴。

本發明之目的在於提供一種積體電路封裝及其製程，其係可省略習知之基板及其與晶片之間的連接製程，例如打線或覆晶製程，同時符合原先應用於基板之接點間距，故可降低積體電路的封裝成本，並可大幅提升晶片之運作效能，以及加速封裝結構之散熱速率。此外，在沒有覆晶凸塊的侷限之下，晶片之運作效能將更容易提升。

基於本發明之目的，本發明提供一種積體電路封裝，具有一基板及至少一晶片，其中晶片之背面貼附於基板之上，且晶片之主動表面（Active Surface）具有多個鉑墊。此外，此封裝更包括一增層電路層，其形成於基板之上，增層電路層具有至少一絕緣層、至少一圖案化線路層及多

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (4)

個貫孔，其中絕緣層係位於該主動表面及該圖案化線路層之間，並且貫孔係分別對應鉑墊而貫穿絕緣層，並以導電材質填充於貫孔之中，而圖案化線路層則透過導電材質與晶片之鉑墊相電性連接。當本發明之積體電路封裝應用於球格陣列式封裝時，上述之圖案化線路層則更具有多個鉑球墊，此外，此封裝更在圖案化線路層上配置有一保護層，其中保護層具有多個開口，用以分別暴露出圖案化線路層之鉑球墊，另外，此封裝更可在上述之鉑球墊上分別配置鉑球。

為讓本發明之上述目的、特徵和優點能夠明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

圖式之簡單說明

第 1 圖為習知之一種球格陣列式封裝的剖面圖；

第 2 圖為習知之另一種球格陣列式封裝的剖面圖；

第 3A~3I 圖依序為本發明之較佳實施例之積體電路封裝的流程剖面圖；

第 4A、4B 圖為形成導電材質及線路層的流程剖面圖

第 5A、5B 圖為形成線路層的流程剖面圖；

第 6 圖為本發明之較佳實施例之一種積體電路封裝，其具有內部電路之基板的剖面圖；以及

第 7 圖為本發明之較佳實施例之另一種積體電路封裝，其具有平面型基板的剖面圖。

圖式之標示說明

五、發明說明(5)

100、101：球格陣列式封裝	110：基板
112：接點	114：鐳球墊
116：內部線路	120：導線
130：封裝材料	140：鐳球
200：晶片	202：鐳墊
204：凸塊	
300、301：積體電路封裝	310：基板
312：表面	314：凹穴
316：內部線路	320：絕緣層
322：貫孔	330：薄金屬層
340：金屬層	342：線路層
344：填充部	346：鐳球墊
348：導電材質	350：保護層
360：鐳球	400：晶片
402：主動表面	404：背面
406：鐳墊	408：黏膠
501：光阻層	503：線路層
505：電容	

較佳實施例

請參考第 3A~3I 圖，其依序為本發明之較佳實施例之積體電路封裝的流程圖。如第 3A 圖所示，首先提供一基板 310，其表面可選擇性地具有一凹穴 314，而凹穴 314 位於基板 310 上，並凹陷於基板 310 之表面 312，此凹穴 314 之的位置不限定位於基板 310 之正中央。此外，晶片

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

400 具有一主動表面 402 及對應之一背面 404，並以其背面 404 貼附於凹穴 314 之底部，但晶片 400 之位置不限於在凹穴 314 之底部，亦可位於基板 310 之表面 312，並暴露出晶片 400 之主動表面 402，而晶片 400 之主動表面 (Active Surface) 402 則具有多個鐳墊 406，用以作為訊號輸出入接點，其中主動表面 402 乃是指晶片 400 之具有元件 (device) 之一面。另外，晶片 400 之貼附方式可以利用黏膠 (paste) 408 黏貼於凹穴 314 之底部，其中黏膠 408 包括可導電之黏著物質，如銀膠 (silver paste) 或導電膠，或者是以非導電性之黏著物質，如黏貼帶 (adhesive tape) 取代黏膠 408，而將晶片 400 貼附於凹穴 314 之底部。

如第 3B 圖所示，將晶片 400 貼附於基板 310 之後，接著形成一絕緣層 320 於基板 310 及晶片 400 之上，同時部分絕緣層 320 將被填充於晶片 400 及凹穴 314 之間，而形成絕緣層 320 之方法包括以旋轉塗佈 (Spin Coating)、網版印刷 (Screen Printing) 及滾壓塗佈 (Roller Coating) 等方式，且絕緣層 320 之材質則包括感光介質 (Photo-Imageable Dielectric, PID)、玻璃 (glass)、樹脂 (resin) 或其他可固化之材質。接著，如第 3C 圖所示，在形成絕緣層 320 之後，形成多個貫孔 322 於絕緣層 320 之中，用以暴露出晶片 400 之鐳墊 406，其中形成貫孔 (via) 322 之方法則包括感光成孔 (Photo-Via)、雷射燒孔 (Laser Ablation) 及電漿蝕孔 (Plasma Etching) 等方式。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

如 3D 圖所示，在絕緣層 320 及鐳墊 406 之上，全面性形成一薄金屬層 330，用以作為電鍍（Electroplating）用的種子層（Seed Layer），例如以化學銅形成一銅箔層作為薄金屬層 330。接著，如第 3E 圖所示，例如以電鍍的方式，全面性形成一金屬層 340 於薄金屬層 330 之上，同時填充貫孔 322。之後，如第 3F 圖所示，將金屬層 340 予以平坦化，此時金屬層 340 可約略分成線路層 342 及填充部 344，其中填充部 344 係填滿貫孔 322，而將金屬層 340 予以平坦化之方法則可以利用化學機械研磨（Chemical Mechanical Polishing，CMP）的方式。在表面平整度要求不高的情況下，此平坦化的流程可以省略。

如第 3G 圖所示，接著例如以微影蝕刻的方式，移除部分線路層 342，藉以圖案化線路層 342，使得圖案化之線路層 342 及絕緣層 320 構成增層電路層（Build-up Circuit）370，並可重複上述步驟而形成多層增層電路層 370，以符合所需之繞線佈局設計。在非球格陣列式封裝時（例如形成的導線接腳直接與具有導線的軟片型導線（Tape）以導電膠接合）則可省略保護層、鐳球墊及鐳球製程。當積體電路封裝 300 應用於球格陣列式封裝時，則如第 3H 圖所示，可利用網版印刷、塗佈後微影（Photolithography）或是其他方式，形成一圖案化的保護層，例如一鐳罩層（Solder Mask），材質比如為防鐳綠漆，用以暴露出部分線路層 342 而形成鐳球墊 346。再如第 3I 圖所示，分別將鐳球 360 植接（Planting）在對應之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(8)

鉑球墊 346 上，而完成球格陣列式之積體電路封裝 300。

如第 3G 圖所示，晶片 400 之背面 404，在與基板 310 貼合時，雖力求與黏膠 410 對齊，但不必然要對齊，絕緣層 320 在未貫孔的部分及金屬層 340 之表面，雖然保持平整對後續製程較為有利，但也不必然都是平整的。再如第 3I 圖所示，鉑球 360 的間距不必然是固定值，可依實際需要而調整，且線路層 342 可在晶片 400 之主動表面 402 與基板 310 之表面 312 間自由延伸。

如第 3F 圖所示，在製程上，除了形成金屬層 340 以作為線路層 342 及填充部 344 之外，亦可利用兩道製程，將線路層 342 及填充部 344 分兩次製作。因此，我們可以在第 3D 圖所示之製程完成後，亦即在形成薄金屬層 330 於絕緣層 320 及鉑墊 406 上之後，可以如第 4A 圖所示，將一導電材質 348 填入貫孔 322 之中，其作用與第 3F 圖之金屬層 340 的填充部 344 相同，而填入的方式可以使用網版印刷，至於導電材質 348 則可以運用導電膠，例如銀膠、銅膠等。接著，如第 4B 圖所示，再全面性形成一線路層 342 於薄金屬層 330 及導電材質 348 之上，而形成線路層 342 之方法可以使用電鍍，此後之製程步驟則與第 3G ~ 3I 圖相同，於此不再重複贅述。

如第 3G 圖所示，形成線路層 342 之方法，可由第 3D 圖之步驟，先塗佈上一光阻層 501，並可以利用曝光及顯影的方式來圖案化此光阻層 501，如第 5A 圖所示。接著，再以電鍍的方式，在沒有光阻的部分長出線路層 503，如

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

第 5B 圖所示。接著，移除光阻層 501，並加以短暫金屬蝕刻，將光阻層 501 下的薄導電層 330 去除，即可得到第 3G 圖之圖案化的線路層 342，而此後之製程步驟，同樣如第 3H~3I 圖所示，於此不在重複贅述。

請參考第 3I 圖，基板 310 之材質可包括金屬、玻璃及高分子聚合物 (polymer) 或其他材料。由於晶片 400 於運作時會產生高熱，因此，當基板 310 之材質為金屬或導熱性佳之材料時，將可增加晶片 400 之導熱散熱速率，以提升晶片 400 之運作效能。另請參考第 6 圖，其為具有內部線路之基板的積體電路封裝的剖面圖。基板 310 亦可具有一內部線路 316，並可藉由增加填充部 344 之設計，使得基板 310 之內部線路 316 可經由填充部 344'，而電性連接晶片 400 之鉑墊 406 或圖案化之線路層 342，因而使得球格式陣列之積體電路封裝 301 的繞線設計將具有更大的彈性空間。

此外，可於第 3H 圖之後，重複第 3C~3H 圖之製程，則可製作多層線路層 342-1、342-2 之電路，而此多出的線路層 342-2，除了可使設計自由度變大之外，也可作為接地或電源平面，或於平面間產生電容 505，用以作為調整產品的電特性之用。

請參考第 7 圖，其為本發明之較佳實施例之另一種具有積體電路封裝，其具有平面型基板的剖面圖。與第 6 圖相較之下，兩者最主要的差別在於絕緣層 320-1 在晶片 400 之表面 402 與基板 310 之表面 312 的厚度不相同，其他的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

部分則類似，於此不再詳述。此外，若選擇絕緣層 320 厚度在晶片 400 之表面 402 與基板 310 之表面 312 相同時，則同樣可以調整線路層 342-1 的厚度，或提高絕緣層 320-1 以上各層的平整度。

本發明之積體電路封裝的特徵係先將晶片貼附於基板之凹穴底部或基板之表面，接著在基底及晶片上直接形成增層電路層，並將錫球配置於增層電路層的線路層之錫球墊，使得晶片得以依序透過增層電路層之內部繞線及錫球，而與外界相電性連接。

承上所述，當本發明之積體電路封裝應用於球格陣列式封裝時，將可省略習知之球格陣列式封裝所需之具有微間距接點的基板，並可省略第一層級 (Level 1) 之電子構裝，即以打線製程或覆晶製程，將晶片連接至封裝基板的層級之封裝，而直接以增層電路層之內部繞線直接連接晶片之錫墊及錫球，故可大幅降低導線連接或凸塊連接所產生之較高的電性阻抗，而有助於提升晶片之運作效能。

綜上所述，本發明之積體電路封裝具有下列優點：

(1) 本發明之積體電路封裝係將高密度的晶片錫墊直接以線路層延伸至晶片以外的區域，以直接做出可大到印刷電路板的錫墊 (或錫球) 的錫點間隔，可直接取代高腳數晶片的封裝，故可大幅降低封裝成本。

(2) 本發明之積體電路封裝係在晶片上直接形成至少一增層電路層，在無須應用習知之具有微間距接點的基板之下，同樣可製作出符合原先錫點之分佈位置的積體電

五、發明說明(11)

路封裝。

(3) 本發明之積體電路封裝係以其增層電路層取代習知之具有微間距接點的基板，因而省略習知成本較高之基板及其組裝製程，故可降低晶片之封裝成本。

(4) 本發明之積體電路封裝係直接以增層電路層之內部繞線直接連接晶片之鐳墊及鐳球，故可大幅降低例如打金線連接或凸塊連接所產生之較高的電性阻抗，而有助於提升晶片之運作效能。

(5) 當本發明之積體電路封裝選用金屬或導熱性佳的材質作為容納晶片之基板的材質時，由於基板係以其凹穴包覆於晶片之外圍，故有助於增加晶片之散熱的效率，進而提升晶片之運作效能。若選用金屬時，不但具上述之優點，且對於電磁干擾(Electro-Magnetic Interference, EMI)之遮蔽效果甚佳，同時可利用此金屬材質之基板作為接地功能，進而增進整體封裝性能。

(6) 本發明之積體電路封裝係可選用具有內部線路之基板，並將內部線路電性連接晶片之鐳墊或增層電路層之線路層，使得積體電路封裝之繞線設計將具有更大的彈性空間。

(7) 本發明之積體電路封裝的製程可對單一晶粒進行增層線路的製作，亦可以大面積的基板上同時黏著大量晶粒完成之組件(set)進行製程處理，以大幅降低生產成本。

雖然本發明已以一較佳實施例揭露如上，然其並非用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(12)

以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1. 一種積體電路封裝，至少包括：

一基板，具有一第一面；

至少一晶片，具有一主動表面及對應之一背面，其中該晶片係以該背面貼附於該基板之該第一面，且該晶片更具有複數個鉑墊，其為於該晶片之該主動表面；以及

一增層電路層，配置於該基板之上，該增層電路層具有至少一絕緣層、至少一圖案化線路層及複數個貫孔，其中該絕緣層係位於該主動表面及該圖案化線路層之間，而該些貫孔係分別對應該些鉑墊而貫穿該絕緣層，且該些貫孔之中具有一導電材質，而該圖案化線路層係以該導電材質與該些鉑墊相電性連接，且部分該圖案化線路層係延伸至該晶片之該主動表面上方以外的區域。

2. 如申請專利範圍第 1 項所述之積體電路封裝，其中部分該絕緣層係填充於該晶片及該基板之間。

3. 如申請專利範圍第 1 項所述之積體電路封裝，其中該絕緣層之材質包括感光介質、玻璃、樹脂及可固化材料其中之一。

4. 如申請專利範圍第 1 項所述之積體電路封裝，其中該圖案化線路層與該導電材質係為一體成形。

5. 如申請專利範圍第 1 項所述之積體電路封裝，其中該導電材質包括導電膠。

6. 如申請專利範圍第 1 項所述之積體電路封裝，其中該導電材質包括銀膠及銅膠其中之一。

7. 如申請專利範圍第 1 項所述之積體電路封裝，其

六、申請專利範圍

中該基板之材質包括金屬、玻璃及高分子聚合物其中之一。

8. 如申請專利範圍第 1 項所述之積體電路封裝，其中該基板更具有一內部線路。

9. 如申請專利範圍第 8 項所述之積體電路封裝，其中該內部線路係與該晶片之該些錫墊相電性連接。

10. 一種積體電路封裝之製程，至少包括：

提供一基板，該基板具有一第一面；

提供至少一晶片，該晶片具有一主動表面及一背面，其中該晶片係以該背面貼附於該基板之該第一面，且該晶片更具有複數個錫墊，其位於該晶片之該主動表面；以及

形成一增層電路層於該基板之上，其中該增層電路層具有至少一絕緣層、至少一圖案化線路層及複數個貫孔，其中該絕緣層係位於該主動表面及該圖案化線路層之間，而該些貫孔係分別對應該些錫墊而貫穿該絕緣層，且該些貫孔之中具有一導電材質，而該圖案化線路層係以該導電材質與該些錫墊相電性連接，且部分該圖案化線路層係延伸至該晶片之該主動表面上方以外的區域。

11. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中該晶片係以黏膠貼附於該基板之該第一面。

12. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中該晶片係以貼帶貼附於該基板之該第一面。

13. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中部分該絕緣層係填充於該晶片及該基板之間。

六、申請專利範圍

14. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中形成該絕緣層之方法包括旋轉塗佈、網版印刷及滾壓塗佈其中之一。

15. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中該絕緣層之材質包括感光介質、玻璃及樹脂其中之一。

16. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中該絕緣層之材質包括可固化材料。

17. 如申請專利範圍第 16 項所述之積體電路封裝之製程，其中形成該些貫孔之後，更包括固化該絕緣層。

18. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中形成該些貫孔之方法包括感光成孔、雷射燒孔及電漿蝕孔。

19. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中形成該圖案化線路層之方法包括全面性形成一金屬層於該絕緣層及該些錫墊之上，並圖案化該金屬層。

20. 如申請專利範圍第 19 項所述之積體電路封裝之製程，其中全面性形成一金屬層於該絕緣層與該些錫墊之上的方法包括先形成一薄金屬層於該絕緣層與該些錫墊之上，再以該薄金屬層為種子層進行電鍍而形成該金屬層。

21. 如申請專利範圍第 19 項所述之積體電路封裝之製程，其中圖案化該金屬層之方法包括微影蝕刻。

22. 如申請專利範圍第 19 項所述之積體電路封裝之製程，其中部分該金屬層之材質係作為該導電材質，用以

六、申請專利範圍

填滿該些貫孔。

23. 如申請專利範圍第 19 項所述之積體電路封裝之製程，其中形成該金屬層之後，更包括平坦化該金屬層。

24. 如申請專利範圍第 23 項所述之積體電路封裝之製程，其中平坦化該金屬層之方法包括化學機械研磨。

25. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中該圖案化線路層係藉由先全面性形成一薄金屬層於該絕緣層與該些鐳墊之上，接著形成圖案化之一光阻層於該薄金屬層之上，再以該薄金屬層為種子層進行電鍍，並填充該光阻層之未分佈的空間，之後，移除該光阻層，接著移除原先該光阻層之分佈區域下的該薄金屬層，而完成該圖案化線路層。

26. 如申請專利範圍第 25 項所述之積體電路封裝之製程，其中移除原先該光阻層之分佈區域下的該薄金屬層的方法包括短暫的金屬蝕刻。

27. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中該導電材質包括導電膠。

28. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中該導電材質包括銀膠及銅膠其中之一。

29. 如申請專利範圍第 10 項所述之積體電路封裝之製程，在形成該增層電路層之後，更包括形成一保護層於該圖案化線路層之上。

30. 如申請專利範圍第 29 項所述之積體電路封裝之製程，其中該保護層係為一鐳罩層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

31. 如申請專利範圍第 30 項所述之積體電路封裝之製程，其中該鐳罩層之材質為防鐳綠漆。

32. 如申請專利範圍第 30 項所述之積體電路封裝之製程，其中形成該鐳罩層之方法包括網版印刷。

33. 如申請專利範圍第 30 項所述之積體電路封裝之製程，其中形成該鐳罩層之後，更包括圖案化該鐳罩層。

34. 如申請專利範圍第 33 項所述之積體電路封裝之製程，其中圖案化該鐳罩層之方法包括微影。

35. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中該基板之材質包括金屬、玻璃及高分子聚合物其中之一。

36. 如申請專利範圍第 10 項所述之積體電路封裝之製程，其中該基板更具有內部電路。

37. 如申請專利範圍第 36 項所述之積體電路封裝之製程，其中該內部電路係至少與該晶片之該些鐳墊之一相電性連接。

38. 一種積體電路封裝，至少包括：

一基板，具有一第一面及至少一凹穴，其中該凹穴係凹陷於該基板之該第一面；

至少一晶片，具有一主動表面及對應之一背面，其中該晶片係以該背面貼附於該凹穴之底部，且該晶片更具有複數個鐳墊，其為於該晶片之該主動表面；以及

一增層電路層，配置於該基板之上，該增層電路層具有至少一絕緣層、至少一圖案化線路層及複數個貫孔，其

六、申請專利範圍

中該絕緣層係位於該主動表面及該圖案化線路層之間，而該些貫孔係分別對應該些鉚墊而貫穿該絕緣層，且該些貫孔之中具有一導電材質，而該圖案化線路層係以該導電材質與該些鉚墊相電性連接，且部分該圖案化線路層係延伸至該晶片之該主動表面上方以外的區域。

39. 如申請專利範圍第 38 項所述之積體電路封裝，其中部分該絕緣層係填充於該晶片及該凹穴之間。

40. 如申請專利範圍第 38 項所述之積體電路封裝，其中部分該絕緣層係填充於該晶片及該基板之間。

41. 如申請專利範圍第 38 項所述之積體電路封裝，其中該絕緣層之材質包括感光介質、玻璃、樹脂及可固化材料其中之一。

42. 如申請專利範圍第 38 項所述之積體電路封裝，其中該圖案化線路層與該導電材質係為一體成形。

43. 如申請專利範圍第 38 項所述之積體電路封裝，其中該導電材質包括導電膠。

44. 如申請專利範圍第 38 項所述之積體電路封裝，其中該導電材質包括銀膠及銅膠其中之一。

45. 如申請專利範圍第 38 項所述之積體電路封裝，其中該基板之材質包括金屬、玻璃及高分子聚合物其中之一。

46. 如申請專利範圍第 38 項所述之積體電路封裝，其中該基板更具有內部線路。

47. 如申請專利範圍第 46 項所述之積體電路封裝，

六、申請專利範圍

其中該內部線路係與該晶片之該些鐳墊相電性連接。

48. 一種積體電路封裝之製程，至少包括：

提供一基板，該基板具有一第一面及至少一凹穴，其中該凹穴係凹陷於該基板之該第一面；

提供至少一晶片，該晶片具有一主動表面及一背面，其中該晶片係以該背面貼附於該凹穴之底部，且該晶片更具有複數個鐳墊，其位於該晶片之該主動表面；以及

形成一增層電路層於該基板之上，其中該增層電路層具有至少一絕緣層、至少一圖案化線路層及複數個貫孔，其中該絕緣層係位於該主動表面及該圖案化線路層之間，而該些貫孔係分別對應該些鐳墊而貫穿該絕緣層，且該些貫孔之中具有一導電材質，而該圖案化線路層係以該導電材質與該些鐳墊相電性連接，且部分該圖案化線路層係延伸至該晶片之該主動表面上方以外的區域。

49. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中該晶片係以黏膠貼附於該基板之該第一面。

50. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中該晶片係以貼帶貼附於該基板之該第一面。

51. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中部分該絕緣層係填充於該晶片及該凹穴之間。

52. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中部分該絕緣層係填充於該晶片及該基板之間。

53. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中形成該絕緣層之方法包括旋轉塗佈、網版印刷

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

及滾壓塗佈其中之一。

54. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中該絕緣層之材質包括感光介質、玻璃及樹脂其中之一。

55. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中該絕緣層之材質包括可固化材料。

56. 如申請專利範圍第 55 項所述之積體電路封裝之製程，其中形成該些貫孔之後，更包括固化該絕緣層。

57. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中形成該些貫孔之方法包括感光成孔、雷射燒孔及電漿蝕孔。

58. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中形成該圖案化線路層之方法包括全面性形成一金屬層於該絕緣層及該些鉑墊之上，並圖案化該金屬層而成。

59. 如申請專利範圍第 58 項所述之積體電路封裝之製程，其中全面性形成一金屬層於該絕緣層與該些鉑墊之上的方法包括：先形成一薄金屬層於該絕緣層與該些鉑墊之上，再以該薄金屬層為種子層進行電鍍而形成該金屬層。

60. 如申請專利範圍第 58 項所述之積體電路封裝之製程，其中形成該金屬層之後，更包括平坦化該金屬層。

61. 如申請專利範圍第 60 項所述之積體電路封裝之製程，其中平坦化該金屬層之方法包括化學機械研磨。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

62. 如申請專利範圍第 58 項所述之積體電路封裝之製程，其中圖案化該金屬層之方法包括微影蝕刻。

63. 如申請專利範圍第 58 項所述之積體電路封裝之製程，其中部分該金屬層之材質係作為該導電材質，用以填滿該些貫孔。

64. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中該圖案化線路層係藉由先全面性形成一薄金屬層於該絕緣層與該些錫墊之上，接著形成圖案化之一光阻層於該薄金屬層之上，再以該薄金屬層為種子層進行電鍍，並填充該光阻層之未分佈的空間，之後，移除該光阻層，接著移除原先該光阻層之分佈區域下的該薄金屬層，而完成該圖案化線路層。

65. 如申請專利範圍第 64 項所述之積體電路封裝之製程，其中移除原先該光阻層之分佈區域下的該薄金屬層的方法包括短暫的金屬蝕刻。

66. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中該導電材質包括導電膠。

67. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中該導電材質包括銀膠及銅膠其中之一。

68. 如申請專利範圍第 48 項所述之積體電路封裝之製程，在形成該增層電路層之後，更包括形成一保護層於該圖案化線路層之上。

69. 如申請專利範圍第 68 項所述之積體電路封裝之製程，其中該保護層係為一錫罩層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

70. 如申請專利範圍第 69 項所述之積體電路封裝之製程，其中該鐳罩層之材質為防鐳綠漆。

71. 如申請專利範圍第 69 項所述之積體電路封裝之製程，其中形成該鐳罩層之方法包括網版印刷。

72. 如申請專利範圍第 71 項所述之積體電路封裝之製程，其中形成該鐳罩層之後，更包括圖案化該鐳罩層。

73. 如申請專利範圍第 72 項所述之積體電路封裝之製程，其中圖案化該鐳罩層之方法包括微影。

74. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中該基板之材質包括金屬、玻璃及高分子聚合物其中之一。

75. 如申請專利範圍第 48 項所述之積體電路封裝之製程，其中該基板更具有內部電路。

76. 如申請專利範圍第 75 項所述之積體電路封裝之製程，其中該內部電路係至少與該晶片之該些鐳墊之一相電性連接。

77. 一種球格陣列式封裝，至少包括：

一基板，具有一第一面；

至少一晶片，具有一主動表面及對應之一背面，其中該晶片係以該背面貼附於該基板之該第一面，且該晶片更具有複數個鐳墊，其為於該晶片之該主動表面；

一增層電路層，配置於該基板之上，該增層電路層具有至少一絕緣層、至少一圖案化線路層及複數個貫孔，其中該絕緣層係位於該主動表面及該圖案化線路層之間，而

六、申請專利範圍

該些貫孔係分別對應該些鐸墊而貫穿該絕緣層，且該些貫孔之中具有一導電材質，而該圖案化線路層係以該導電材質與該些鐸墊相電性連接，且該圖案化線路層更具有複數個鐸球墊；以及

複數個鐸球，分別配置於該些鐸球墊之上。

78. 如申請專利範圍第 77 項所述之球格陣列式封裝，其中該基板更具有至少一凹穴，其凹陷於該基板之該第一面，且該晶片係以該背面貼附於該凹穴之底部。

79. 如申請專利範圍第 78 項所述之球格陣列式封裝，其中部分該絕緣層係填充於該晶片及該凹穴之間。

80. 如申請專利範圍第 77 項所述之球格陣列式封裝，其中部分該絕緣層係填充於該晶片及該基板之間。

81. 如申請專利範圍第 77 項所述之球格陣列式封裝，其中該絕緣層之材質包括感光介質、玻璃、樹脂及可固化材料其中之一。

82. 如申請專利範圍第 77 項所述之球格陣列式封裝，其中該圖案化線路層與該導電材質係為一體成形。

83. 如申請專利範圍第 77 項所述之球格陣列式封裝，其中該導電材質包括導電膠。

84. 如申請專利範圍第 77 項所述之球格陣列式封裝，其中該導電材質包括銀膠及銅膠其中之一。

85. 如申請專利範圍第 77 項所述之球格陣列式封裝，更包括圖案化之一保護層，其配置於該圖案化線路層之上，且該保護層具有複數個開口，其分別暴露出該些鐸球

六、申請專利範圍 墊。

86. 如申請專利範圍第 85 項所述之球格陣列式封裝，其中該保護層係為一鍍罩層。

87. 如申請專利範圍第 86 項所述之球格陣列式封裝，其中該鍍罩層之材質為防鍍綠漆。

88. 如申請專利範圍第 77 項所述之球格陣列式封裝，其中該基板之材質包括金屬、玻璃及高分子聚合物其中之一。

89. 如申請專利範圍第 77 項所述之球格陣列式封裝，其中該基板更具有有一內部線路。

90. 如申請專利範圍第 89 項所述之球格陣列式封裝，其中該內部線路係與該晶片之該些鍍墊相電性連接。

91. 一種球格陣列式封裝之製程，至少包括：

提供一基板，該基板具有一第一面；

提供至少一晶片，該晶片具有一主動表面及一背面，其中該晶片係以該背面貼附於該基板之該第一面，且該晶片更具有複數個鍍墊，其位於該晶片之該主動表面；

形成一增層電路層於該基板之上，其中該增層電路層具有至少一絕緣層、至少一圖案化線路層及複數個貫孔，其中該絕緣層係位於該主動表面及該圖案化線路層之間，而該些貫孔係分別對應該些鍍墊而貫穿該絕緣層，且該些貫孔之中具有一導電材質，而該圖案化線路層係以該導電材質與該些鍍墊相電性連接，且該圖案化線路層更具有複數個鍍球墊；以及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

形成複數個鐳球於該些鐳球墊之上

92. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中該晶片係以黏膠貼附於該基板之該第一面。

93. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中該晶片係以貼帶貼附於該基板之該第一面。

94. 如申請專利範圍第 ~~89~~⁹¹ 項所述之球格陣列式封裝之製程，其中該基板更具有至少一凹穴，其凹陷於該基板之該第一面，且該晶片係以該背面貼附於該凹穴之底部。

95. 如申請專利範圍第 94 項所述之球格陣列式封裝之製程，其中該晶片係以黏膠貼附於該凹穴之底部。

96. 如申請專利範圍第 94 項所述之球格陣列式封裝之製程，其中該晶片係以貼帶貼附於該凹穴之底部。

97. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中部分該絕緣層係填充於該晶片及該凹穴之間。

98. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中部分該絕緣層係填充於該晶片及該基板之間。

99. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中形成該絕緣層之方法包括旋轉塗佈、網版印刷及滾壓塗佈其中之一。

100. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中該絕緣層之材質包括感光介質、玻璃及樹脂其中之一。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

101. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中該絕緣層之材質包括可固化材料。

102. 如申請專利範圍第 101 項所述之球格陣列式封裝之製程，其中形成該些貫孔之後，更包括固化該絕緣層。

103. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中形成該些貫孔之方法包括感光成孔、雷射燒孔及電漿蝕孔。

104. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中形成該圖案化線路層之方法包括全面性形成一金屬層於該絕緣層及該些鉑墊之上，並圖案化該金屬層而成。

105. 如申請專利範圍第 104 項所述之球格陣列式封裝之製程，其中圖案化該金屬層之方法包括微影蝕刻。

106. 如申請專利範圍第 104 項所述之球格陣列式封裝之製程，其中部分該金屬層之材質係作為該導電材質，用以填滿該些貫孔。

107. 如申請專利範圍第 104 項所述之球格陣列式封裝之製程，其中全面性形成一金屬層於該絕緣層與該些鉑墊之上的方法包括：先形成一薄金屬層於該絕緣層與該些鉑墊之上，再以該薄金屬層為種子層進行電鍍而形成該金屬層。

108. 如申請專利範圍第 107 項所述之球格陣列式封裝之製程，其中形成該金屬層之後，更包括平坦化該金屬層。

六、申請專利範圍

109. 如申請專利範圍第 108 項所述之球格陣列式封裝之製程，其中平坦化該金屬層之方法包括化學機械研磨。

110. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中該圖案化線路層係藉由先全面性形成一薄金屬層於該絕緣層與該些鉑墊之上，接著形成圖案化之一光阻層於該薄金屬層之上，再以該薄金屬層為種子層進行電鍍，並填充該光阻層之未分佈的空間，之後，移除該光阻層，接著移除原先該光阻層之分佈區域下的該薄金屬層，而完成該圖案化線路層。

111. 如申請專利範圍第 110 項所述之球格陣列式封裝之製程，其中移除原先該光阻層之分佈區域下的該薄金屬層的方法包括短暫的金屬蝕刻。

112. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中該導電材質包括導電膠。

113. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中該導電材質包括銀膠及銅膠其中之一。

114. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，在形成該增層電路層之後，更包括形成一保護層於該圖案化線路層之上。

115. 如申請專利範圍第 114 項所述之球格陣列式封裝之製程，其中該保護層係為一鉑罩層。

116. 如申請專利範圍第 115 項所述之球格陣列式封裝之製程，其中該鉑罩層之材質為防鉑綠漆。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

117. 如申請專利範圍第 115 項所述之球格陣列式封裝之製程，其中形成該鐳罩層之方法包括網版印刷。

118. 如申請專利範圍第 115 項所述之球格陣列式封裝之製程，其中形成該鐳罩層之後，更包括圖案化該鐳罩層。

119. 如申請專利範圍第 118 項所述之球格陣列式封裝之製程，其中圖案化該鐳罩層之方法包括微影。

120. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中該基板之材質包括金屬、玻璃及高分子聚合物其中之一。

121. 如申請專利範圍第 91 項所述之球格陣列式封裝之製程，其中該基板更具有內部電路。

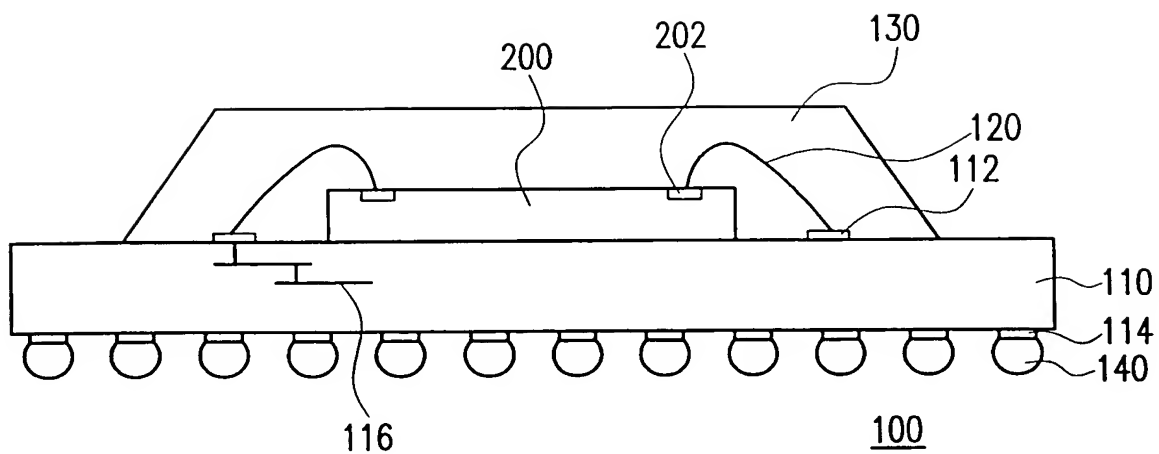
122. 如申請專利範圍第 121 項所述之球格陣列式封裝之製程，其中該內部電路係至少與該晶片之該些鐳墊之一相電性連接。

(請先閱讀背面之注意事項再填寫本頁)

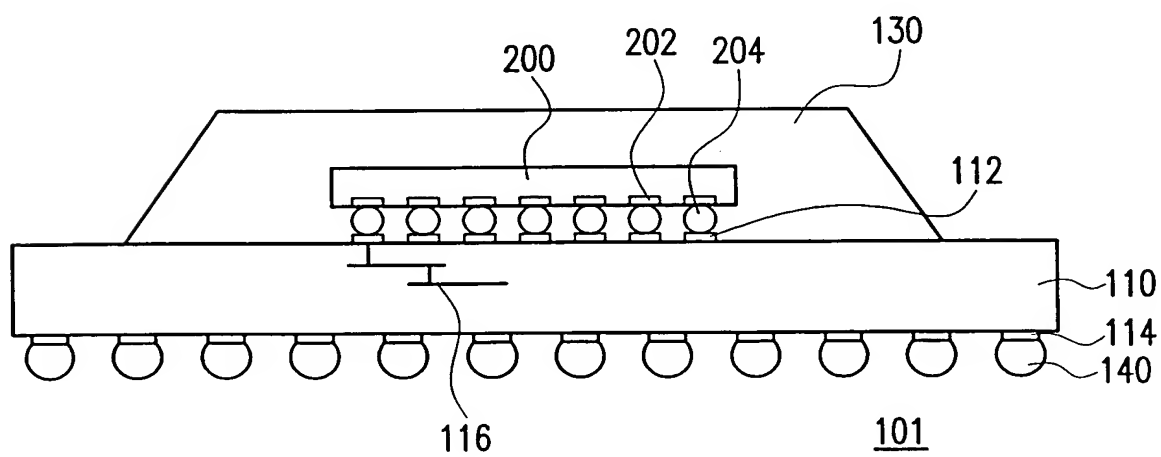
裝

訂

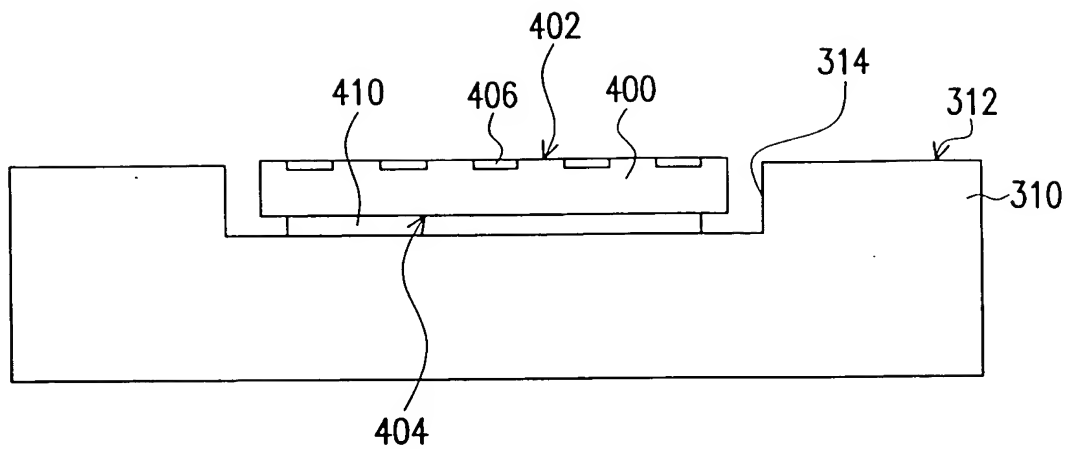
線



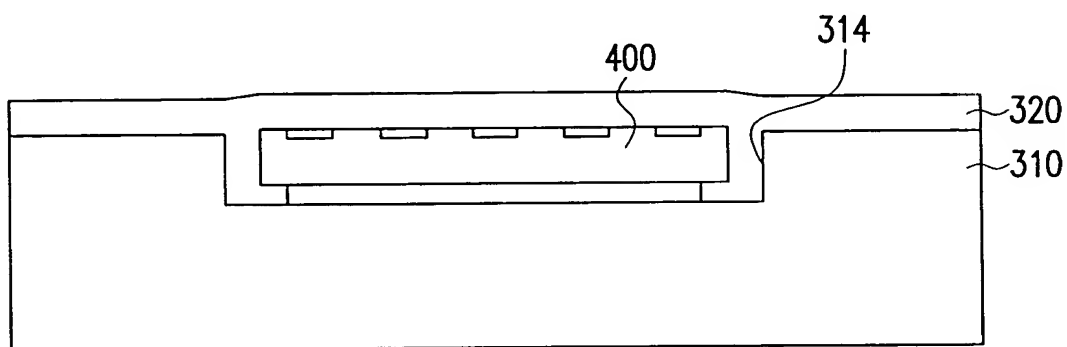
第 1 圖



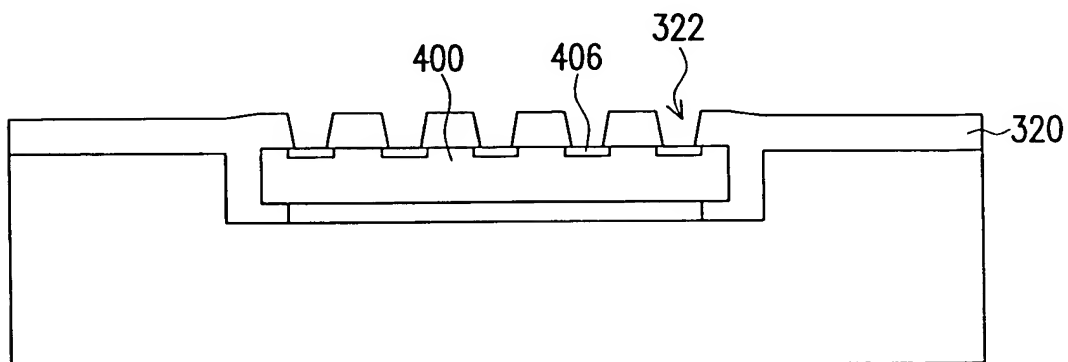
第 2 圖



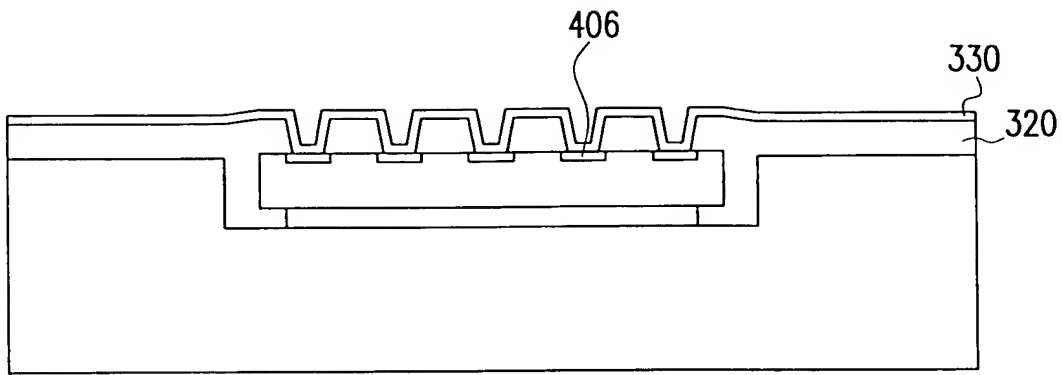
第 3A 圖



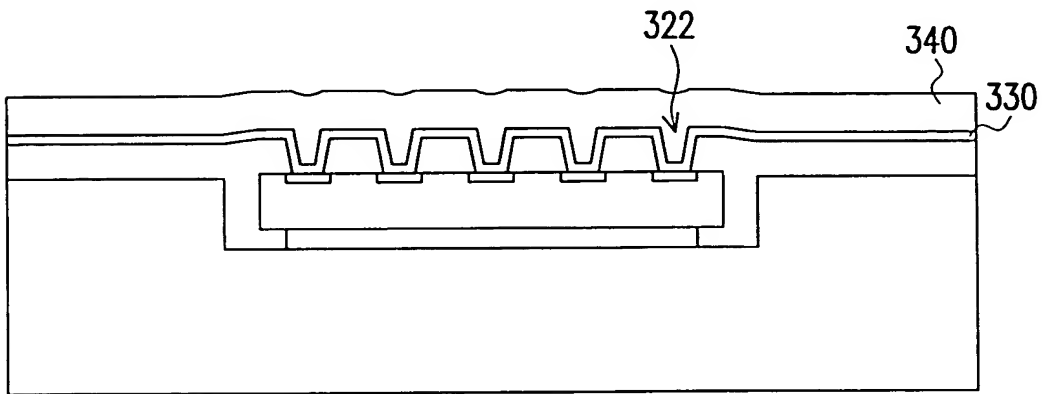
第 3B 圖



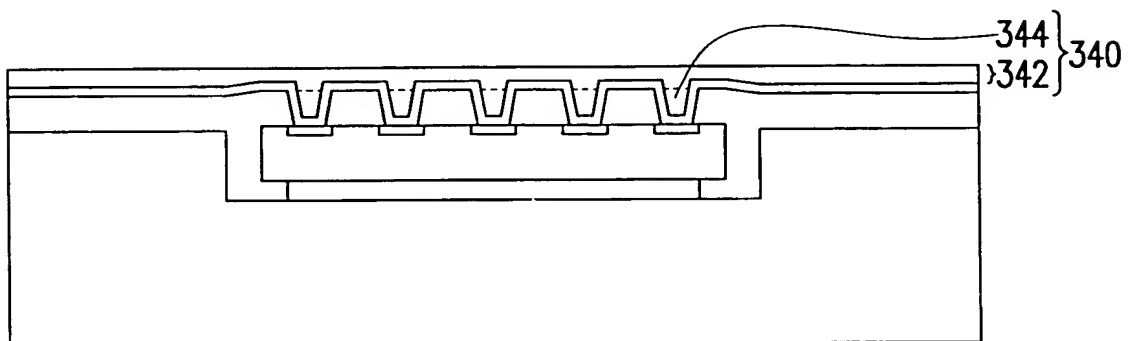
第 3C 圖



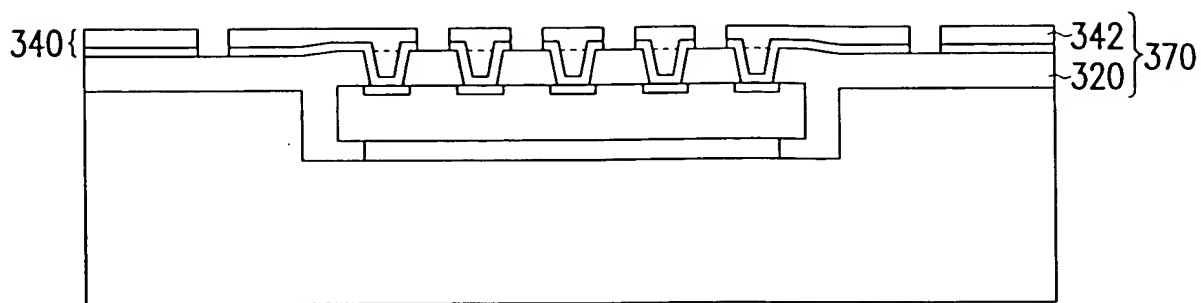
第 3D 圖



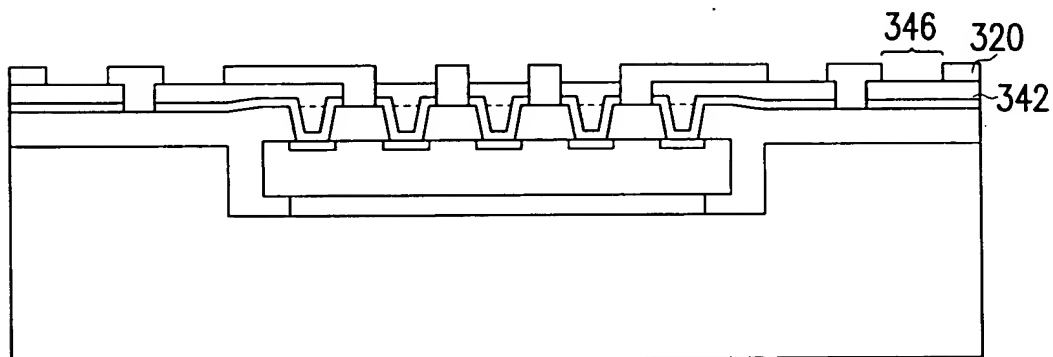
第 3E 圖



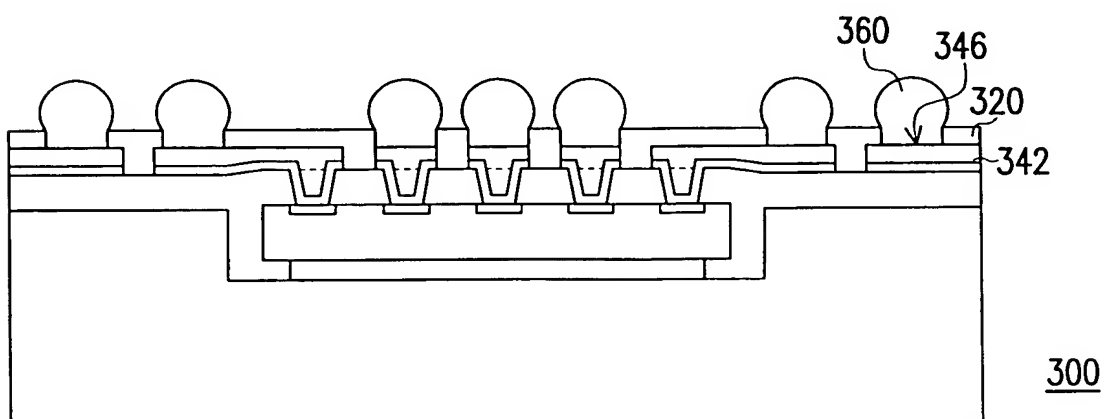
第 3F 圖



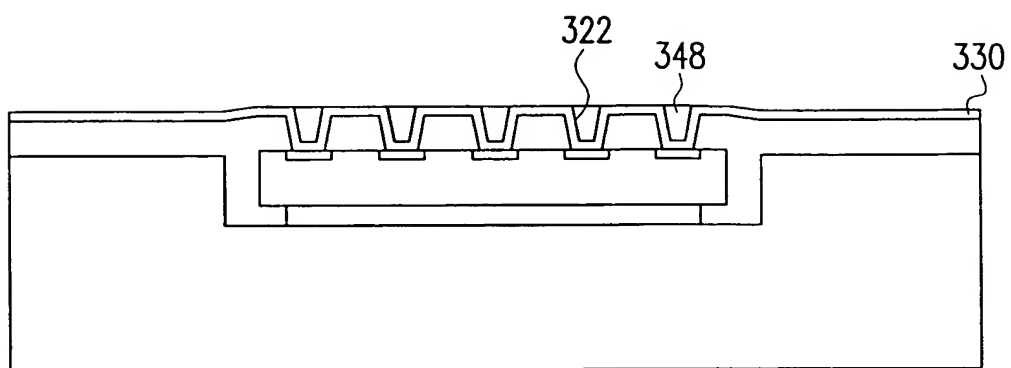
第 3G 圖



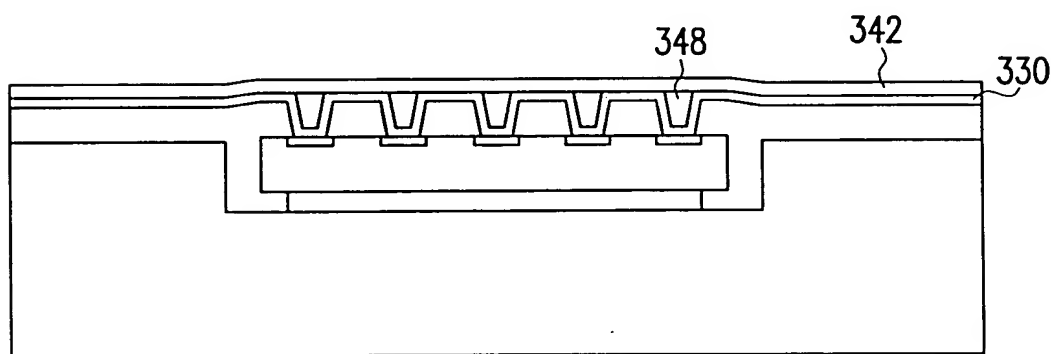
第 3H 圖



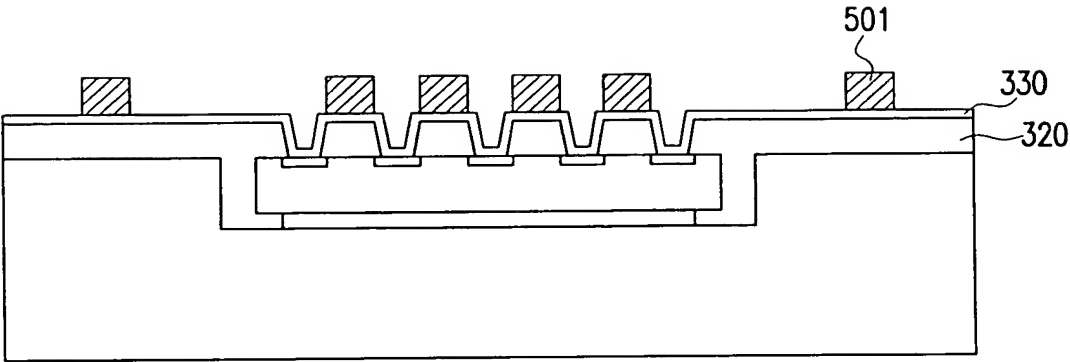
第 3I 圖



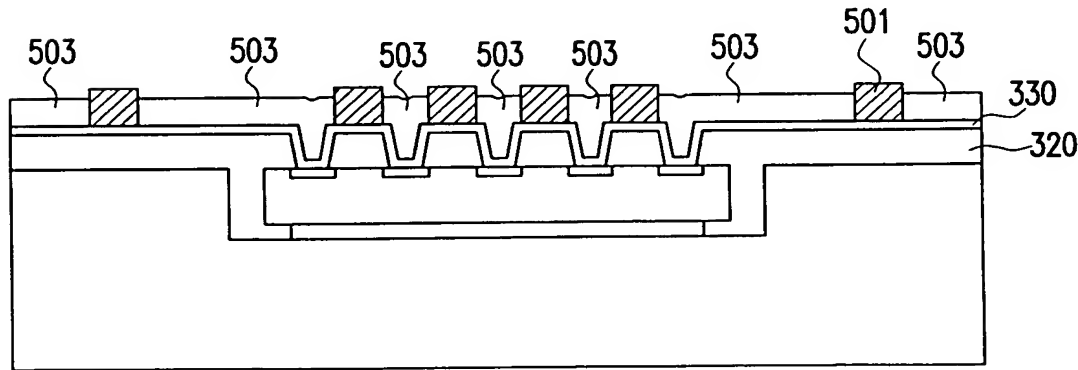
第 4A 圖



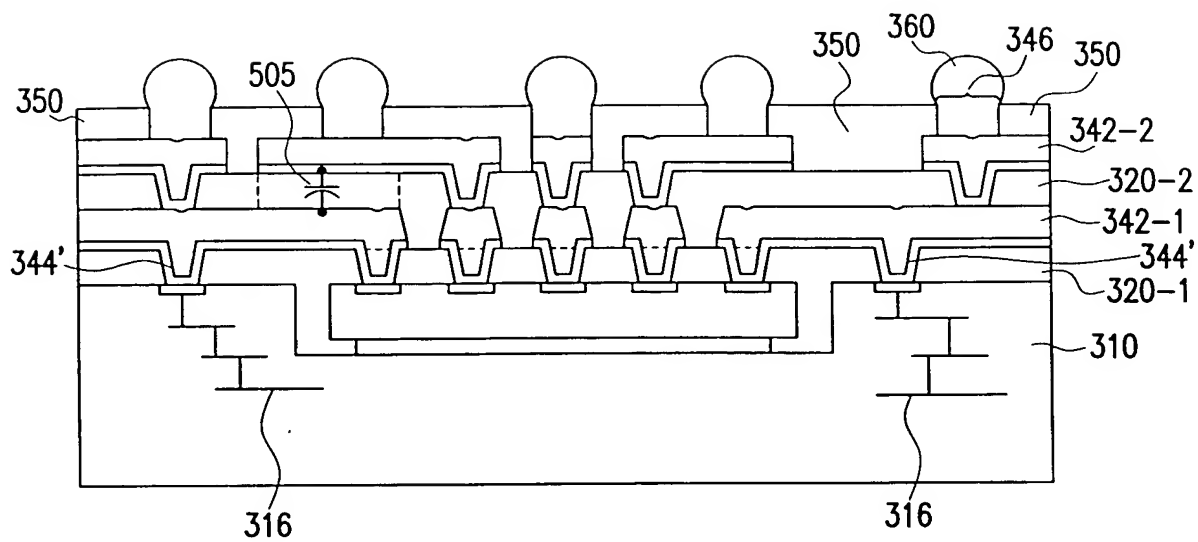
第 4B 圖



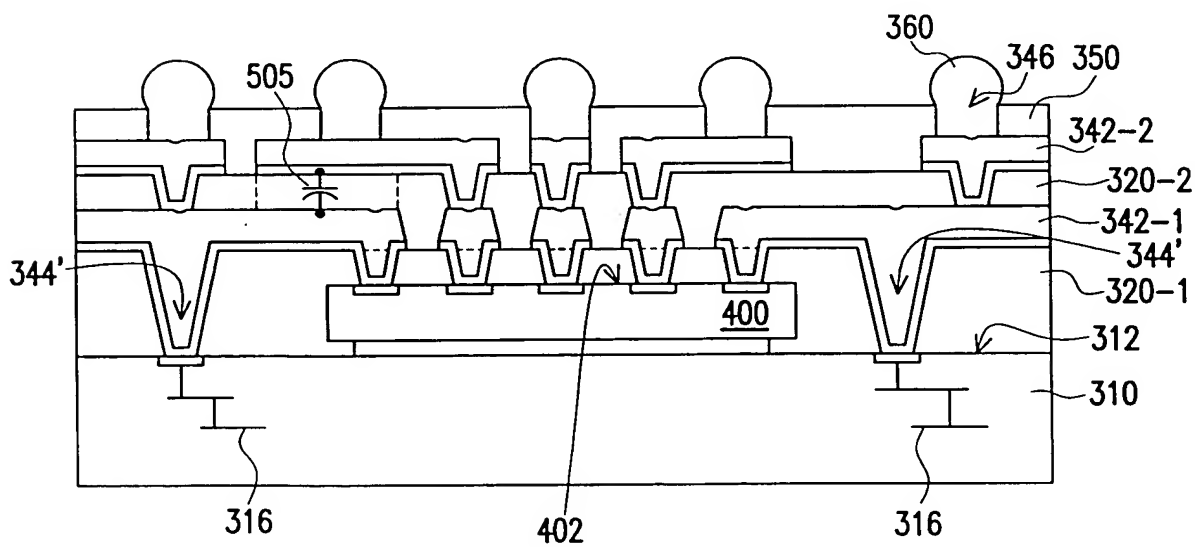
第5A圖



第5B圖



第 6 圖



第 7 圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.